



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11282665 A**(43) Date of publication of application: **15.10.99**

(51) Int. Cl.

G06F 9/06(21) Application number: **10086002**(71) Applicant: **SANYO ELECTRIC CO LTD**(22) Date of filing: **31.03.98**(72) Inventor: **OGATA HITOSHI**

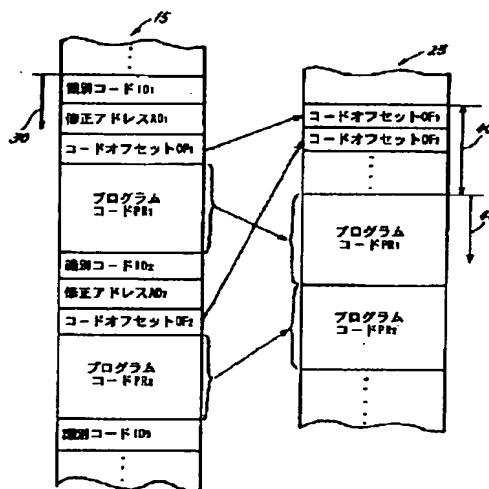
(54) **COMPUTER SYSTEM, PROGRAM OR DATA CORRECTION METHOD FOR THE SYSTEM AND WRITING METHOD OF CORRECTED PROGRAM OR DATA TO THE SYSTEM**

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To correct a basic program by performing an interrupt process via a CPU to jump to the head address of a correction program stored in a RAM when the basic program is executed.

SOLUTION: An identification code ID₁ is read out, and then a 1st correction address AD₁ is read out and transferred to an interrupt address storing part of a CPU. Thus, a 1st interrupt address is permitted. Then a 1st code offset OE₁ is read out and transferred to an offset storing part 40 of a RAM 23, and a 1st correction program code PR₁ is read out and transferred to a program storing part 41 of the RAM 23. Then a 2nd identification code ID₂ is read out, and then a 2nd correction address AD₂ is read out and transferred to the interrupt address storing part of the CPU. Thus, a 1st interrupt address is permitted. Then a 2nd code offset OE₂ is read out and transferred to the storing part 40.



(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第 2 9 9 5 0 3 0 号

(45) 発行日 平成 1 1 年 (1 9 9 9) 1 2 月 2 7 日

(24) 登録日 平成 1 1 年 (1 9 9 9) 1 0 月 2 2 日

(51) Int. Cl.

識別記号

庁内整理番号

F I

G06F 9/06

540

G06F 9/06

540

Q

請求項の数 1 0 (全 1 0 頁)

(21) 出願番号 特願平 1 0 - 8 6 0 0 2

(22) 出願日 平成 1 0 年 (1 9 9 8) 3 月 3 1 日

(65) 公開番号 特開平 1 1 - 2 8 2 6 6 5

(43) 公開日 平成 1 1 年 (1 9 9 9) 1 0 月 1 5 日

審査請求日 平成 1 1 年 (1 9 9 9) 1 月 1 4 日

(73) 特許権者 0 0 0 0 0 1 8 8 9

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 発明者 尾方 仁士

大阪府守口市京阪本通 2 丁目 5 番 5 号

三洋電機株式会社内

(74) 代理人 弁理士 丸山 敏之 (外 2 名)

審査官 田川 泰宏

最終頁に続く

(54) 【発明の名称】 コンピュータシステム、並びにコンピュータシステムにおけるプログラム及びデータの修正方法

(57) 【特許請求の範囲】

【請求項 1】 基本プログラム及び基本データを記憶する書換不能な ROM (22)、各種プログラム又は各種データを記憶する RAM (23)、プログラムを実行しデータを処理する CPU (21)、並びに、外部装置と通信するためのインターフェース回路を具えるマイクロコンピュータ (20) と、マイクロコンピュータ (20) と通信し、各種プログラム又は各種データを記憶する外部記憶手段とを具えるコンピュータシステムに於て、

外部記憶手段は、基本プログラムの一部を修正する修正プログラムと、基本プログラム内で該修正プログラムにより修正されるべき修正アドレスと、基本データを修正する修正データとを記憶しており、

CPU (21) は、所定の割込アドレスにて割込みを行なうアドレス割込み機能を有しており、

2

マイクロコンピュータ (20) は、外部記憶手段から修正プログラムを RAM (23) に転送し、修正アドレスを CPU (21) にて割込アドレスとして格納する手段と、修正アドレスによるアドレス割込み時に、RAM (23) における修正プログラムの先頭アドレスへのジャンプ命令を実行する手段とを具えており、

マイクロコンピュータ (20) は、ROM (22) から基本データを RAM (23) の所定の位置に転送する手段と、外部記憶手段から修正データを RAM (23) の該所定位置に転送して基本データを修正データによって置換する手段とを具えることを特徴とするコンピュータシステム。

【請求項 2】 外部記憶手段は、修正プログラム及び修正データがそれぞれ存在するか否かを示す識別コードを記憶しており、

修正プログラム及び修正データの RAM (23) への転送

3

は、それぞれの識別コードに基づいて実行される、請求項 1 に記載のコンピュータシステム。

【請求項 3】 修正プログラム及びその関連データ並びに修正データが記憶された記憶装置(61)を含む治具(60)が、外部記憶手段及びマイクロコンピュータ(20)間を通信する通信バスに接続されており、

マイクロコンピュータ(20)は、記憶装置(61)から通信バスを介して外部記憶手段に修正プログラム及びその関連データ並びに修正データを書き込む書込手段を具える、請求項 1 又は請求項 2 に記載のコンピュータシステム。

【請求項 4】 外部記憶手段及びマイクロコンピュータ(20)間を通信する通信バスは、シリアルバスである、請求項 3 に記載のコンピュータシステム。

【請求項 5】 コンピュータシステムにおいて使用される各種パラメータデータを記憶する E E P R O M 等の書換可能な不揮発性メモリ(15)を具えており、外部記憶手段には、該不揮発性メモリ(15)の余り容量が利用される、請求項 1 乃至請求項 4 の何れかに記載のコンピュータシステム。

【請求項 6】 コンピュータシステムは、ディスクプレーヤである、請求項 1 乃至請求項 4 の何れかに記載のコンピュータシステム。

【請求項 7】 基本プログラム及び基本データを記憶する書換不能な R O M (22)、各種プログラム又は各種データを記憶する R A M (23)、プログラムを実行しデータを処理する C P U (21)、並びに、外部装置と通信するためのインターフェース回路を具えるマイクロコンピュータ(20)と、マイクロコンピュータ(20)と通信し、各種プログラム又は各種データを記憶する外部記憶手段とを具えるコンピュータシステムであって、

外部記憶手段は、基本プログラムの一部を修正する修正プログラムと、基本プログラム内で該修正プログラムにより修正されるべき修正アドレスと、基本データを修正する修正データとを記憶しており、

C P U (21)は、所定の割込アドレスにて割込みを行なうアドレス割込み機能を有するコンピュータシステムにおいて、前記基本プログラム及び基本データを修正する方法であって、

外部記憶手段から修正プログラムを R A M (23)に転送し、修正アドレスを C P U (21)にて割込アドレスとして格納するステップと、

R O M (22)から基本データを R A M (23)の所定の位置に転送するステップと、外部記憶手段から修正データを R A M (23)の該所定位置に転送して基本データを修正データによって置換するステップと、

修正アドレスによるアドレス割込み時に、R A M (23)における修正プログラムの先頭アドレスへのジャンプ命令を実行するステップとを含むことを特徴とするコンピュータシステムにおけるプログラム及びデータの修正方法。

4

【請求項 8】 外部記憶手段は、修正プログラム及び修正データがそれぞれ存在するか否かを示す識別コードを記憶しており、

修正プログラム及び修正データの R A M (23)への転送は、それぞれの識別コードに基づいて実行される、請求項 7 に記載のコンピュータシステムにおけるプログラム及びデータの修正方法。

【請求項 9】 コンピュータシステムは、外部記憶手段とマイクロコンピュータ(20)間を通信する通信バスに接続された治具(60)を具えており、該治具(60)は、修正プログラム及びその関連データ並びに修正データが記憶された記憶装置(61)を具えており、

記憶装置(61)から通信バスを介して外部記憶手段に修正プログラム及びその関連データ並びに修正データを書き込むステップを含む、請求項 7 又は請求項 8 に記載のコンピュータシステムにおけるプログラム及びデータの修正方法。

【請求項 10】 コンピュータシステムは、ディスクプレーヤである、請求項 7 乃至請求項 9 の何れかに記載のコンピュータシステムにおけるプログラム及びデータの修正方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロコンピュータ（以下、「マイコン」と略称する。）内の書換不能な R O M （読出し専用メモリ）に記憶された基本プログラムまたは基本データを修正して実行するコンピュータシステムに関するものである。

【0002】

【従来の技術】マイコンは、基本構成として、プログラムおよびデータを記憶する記憶手段と、該記憶手段からプログラムおよびデータを読み出して、プログラムを実行しデータを処理する C P U と、外部装置と通信するためのインターフェースを具える。記憶手段は、起動時に実行し処理されるような基本プログラムや基本データを記憶する R O M と、各種プログラムや各種データを記憶する R A M （ランダムアクセスメモリ）とを具えており、該 R O M には、通常、書換不能なマスク R O M が使用されている。従って、マスク R O M に格納された基本プログラムおよび基本データを修正できない問題点があった。

【0003】

【発明が解決しようとする課題】この問題点を解決するため、マイコンに接続された E E P R O M 等の外部記憶装置に、修正プログラムおよび修正データを記憶しておき、該外部記憶装置において修正プログラムおよび修正データの記憶された通信用アドレス、または、外部記憶装置から R A M に転送された修正プログラムおよび修正データの R A M 用アドレスをマイコンに記憶しておき、基本プログラムの実行時または基本データの処理時に、

50

5

マイコンが通信用アドレスまたは R A M 用アドレスを用いて修正プログラムおよび修正データを参照する方法が提案されている。しかしながら、この場合、基本プログラムの実行時または基本データの処理時に、常に、修正プログラムおよび修正データを参照する必要があり、マイコンの処理能力が低下する。

【 0 0 0 4 】 また、特開平 5 - 1 4 3 3 1 6 号に記載されたプログラムの部分修正方式では、図 1 1 に示すように、修正プログラムを格納する修正プログラムメモリ (95) と、修正プログラムを実行すべきアドレス (以下、「修正アドレス」と呼ぶ) を記憶する修正アドレス記憶部 (96) と、C P U (91) が読み出そうとするプログラムのアドレスが修正アドレスと一致する場合には、修正プログラムメモリ (95) から修正プログラムを読み出し、そうでない場合には、マスク R O M (92) から基本プログラムを読み出すように切り替える切替回路 (97) とがマイコン (90) に配備されることにより、基本プログラムにおいて修正すべき部分を実行する際には、切替回路 (97) により修正プログラムを読み出して実行されて基本プログラムを修正する方法が提案されている。

【 0 0 0 5 】 この方法であれば、基本プログラムの修正に R A M (93) が不要であり、修正プログラムがマイコン (90) 内に配備されるからプログラムの実行が遅延することはない。しかしながら、この方法では、マイコン (90) に、修正プログラムメモリ (95)、修正アドレス記憶部 (96) および切替回路 (97) を追加する必要があり、マイコン (90) が大型化する。

【 0 0 0 6 】

【発明の目的】 本願発明者は、基本プログラムの修正に関して、C P U に備わるアドレス割込み機能に着目し、以下のような解決手段を案出した。アドレス割込み機能は、C P U がアドレスを指定すると、該アドレスのメモリに対し割込み処理が行なわれる機能であり、現在、多数の C P U がこのアドレス割込み機能を有している。本発明は、マイコンを大型化することなく、且つ、マイコンの処理能力をさほど低下させることなく、基本プログラムおよび基本データを修正できるコンピュータシステムを提供することを目的とする。

【 0 0 0 7 】

【課題を解決するための手段】 上記課題を解決するため、本発明は、基本プログラム及び基本データを記憶する書換不能な R O M、各種プログラム又は各種データを記憶する R A M、プログラムを実行しデータを処理する C P U、並びに、外部装置と通信するためのインターフェースを具えるマイコンと、該マイコンと通信し、各種プログラム又は各種データを記憶する外部記憶手段とを具えるコンピュータシステムに於て、外部記憶手段は、基本プログラムの一部を修正する修正プログラムと、基本プログラム内で該修正プログラムにより修正されるべき修正アドレスと、基本データを修正する修正データと

6

を記憶しており、C P U は、所定の割込アドレスにて割込みを行なうアドレス割込み機能を有しており、マイコンは、外部記憶手段から修正プログラムを R A M に転送し、修正アドレスを C P U にて割込アドレスとして格納する手段と、修正アドレスによるアドレス割込み時に、R A M における修正プログラムの先頭アドレスへのジャンプ命令を実行する手段とを具えており、マイコンは、R O M から基本データを R A M の所定の位置に転送する手段と、外部記憶手段から修正データを R A M の該所定位置に転送して基本データを修正データにより修正する手段とを具えることを特徴とする。

【 0 0 0 8 】

【作用】 上記構成のコンピュータシステムにおいて、マイコンは、外部記憶手段から修正プログラムを R A M に転送し、修正アドレスを C P U にて割込アドレスとして格納しておき、基本プログラムの実行時に、C P U が該修正アドレスを指定してアドレス割込みが発生すると、C P U が、R A M における修正プログラムの先頭アドレスへジャンプさせる割込み処理を行なうことにより、基本プログラムが修正される。また、マイコンは、R O M から基本データを R A M の所定の位置に転送してから、外部記憶手段から修正データを R A M の該所定位置に上書きすることにより、基本データが修正データで修正される。

【 0 0 0 9 】

【発明の効果】 本発明では、マイコンに新たな装置を追加する必要はないので、マイコンを大型化することはない。また、基本プログラムの修正をアドレス割込み処理により行なうから、C P U が常に修正プログラムを参照する必要は無く、従って、マイコンの処理能力をさほど低下させることは無い。

【 0 0 1 0 】

【発明の実施の形態】 以下、本発明の実施形態について説明する。図 1 は、本発明を利用したディスクプレーヤ (10) を示すブロック図である。しかしながら、本発明は、ディスクプレーヤに限定されることなく、その他のコンピュータシステムにも適用できる。ディスクプレーヤ (10) は、コンパクトディスク等の記録ディスクに対し、信号の読出しまたは書込みを行なう機構部 (11) と、信号を処理する信号処理部 (12) と、使用者が操作する操作部 (13) と、ディスクプレーヤ (10) の作動状況を表示する表示部 (14) を具える。

【 0 0 1 1 】 また、ディスクプレーヤ (10) は、ディスクプレーヤ (10) の作動に必要なパラメータデータを記憶する不揮発性メモリ (15) を具える。不揮発性メモリ (15) には、後記する修正プログラムおよび修正データが記憶されている。実施例では、不揮発性メモリ (15) として、256 バイトの E E P R O M が使用され、150 バイト程度の余っている容量に、修正プログラムおよび修正データが記憶されている。

【 0 0 1 2 】これらの機構部(11)、信号処理部(12)、操作部(13)、表示部(14)、および不揮発性メモリ(15)は、制御用のマイコン(20)に接続している。マイコン(20)の内部には、CPU(21)、基本プログラムおよび基本データが記憶されたROM(22)、各種プログラムおよび各種データが記憶されるRAM(23)、所定時間の経過を計測するタイマ(24)がバスライン(25)を介して接続されている。前記機構部(11)、信号処理部(12)および不揮発性メモリ(15)は、ポート(26)を介してバスライン(25)に接続し、操作部(13)は操作I/F(インターフェース)(27)を介して、表示部(14)は表示I/F(28)を介してそれぞれバスライン(25)に接続する。マイコン(20)は、ROM(22)内の基本プログラムを実行し、ROM(22)内の基本データおよび不揮発性メモリ(15)内の各種パラメータデータを処理し、使用者の操作による操作部(13)からの操作信号に基づいて、機構部(11)を駆動して記録用ディスクから記録信号を読み出し、読み出した記録信号を信号処理部(12)にて所定の信号形式に変換して出力し、或いは、入力された信号を信号処理部(12)にて記録信号に変換し、機構部(11)を駆動して記録用ディスクに書き込み、表示部(14)に表示信号を送信して、動作の状態を表示部(14)にて使用者に報せる。CPU(21)は、CPUが所定のアドレスを指定すると、割込み処理が行なわれるアドレス割込み機能を有し、複数の該アドレスを格納する割込アドレス格納部(210)を具える。

【 0 0 1 3 】基本プログラムの修正方法

上記構成のディスクプレーヤ(10)において、本発明に係る基本プログラムの修正方法を説明する。図2には、不揮発性メモリ(15)に記憶され、RAM(23)に転送される修正プログラムとその関連データが示されている。各修正プログラムとその関連データは、不揮発性メモリ(15)の修正プログラム格納部(30)に順次記憶されており、図示の場合では、2つの修正プログラムとその関連データが記憶されている。修正プログラムとその関連データは、所定の順番で格納されており、図示の場合では、修正プログラムが存在するか否かを示す識別コード、修正プログラムにより基本プログラム内の修正されるべき位置を示す修正アドレス、修正プログラムのコード長さを示すコードオフセット、および、修正プログラムコードの順番で格納されている。修正プログラムコードの最後には、基本プログラム中の戻るべきアドレスである戻りアドレスへのジャンプ命令コードが格納されている。RAM(23)には、不揮発性メモリ(15)から転送されるコードオフセットを格納するオフセット格納部(40)と、不揮発性メモリ(15)から転送される修正プログラムコードを格納するプログラム格納部(41)が設けられる。

【 0 0 1 4 】図3は、CPU(21)が修正プログラムとその関連データを不揮発性メモリ(15)からRAM(23)等に転送するプログラムを示すフローチャートである。この転送プログラムは、基本プログラムに含まれており、シ

ステムの起動時に実行される。まず、識別コードを読み出して、修正プログラムが格納されているか否かを判断する(S10)。格納されていない場合には、この転送プログラムを終了する。格納されている場合には、修正アドレスを読み出して、CPU(21)内の割込アドレス格納部(210)に転送し、該修正アドレスによるアドレス割込みを許可する(S11)。次に、コードオフセットを読み出して、RAM(23)内のオフセット格納部(40)に転送する(S12)。そして、修正プログラムコードを読み出してRAM(23)内のプログラム格納部(41)に転送し(S13)、ステップS10に戻る。

【 0 0 1 5 】前記転送プログラムの具体的な動作を図2に沿って説明する。まず、最初の識別コードIDIを読み出す。最初の識別コードIDIには、最初の修正プログラムが格納されていることを示すデータが格納されているから、最初の修正アドレスADIを読み出してCPU(21)内の割込アドレス格納部(210)に転送し、最初の割込アドレスとしてアドレス割込みを許可する。次に、最初のコードオフセットOFIを読み出して、RAM(23)内のオフセット格納部(40)に転送し、最初の修正プログラムコードPRIを読み出してRAM(23)内のプログラム格納部(41)に転送する。次に、2番目の識別コードID2を読み出す。2番目の識別コードID2には、2番目の修正プログラムが格納されていることを示すデータが格納されているから、2番目の修正アドレスAD2を読み出してCPU(21)内の割込アドレス格納部(210)に転送し、2番目の割込アドレスとしてアドレス割込みを許可する。次に、2番目のコードオフセットOF2を読み出して、RAM(23)内のオフセット格納部(40)に転送し、2番目の修正プログラムコードPR2を読み出してRAM(23)内のプログラム格納部(41)に転送する。次に、3番目の識別コードID3を読み出す。3番目の識別コードID3には、3番目の修正プログラムが未格納であることを示すデータが格納されているから、この転送プログラムを終了する。

【 0 0 1 6 】次に、修正プログラムによる基本プログラムの修正動作を説明する。図4は、アドレス割込みが発生したときに実行されるアドレス割込プログラムを示すフローチャートである。k番目(kは1以上の整数である。)の割込アドレスによるアドレス割込みが発生した際には、RAM(23)内のオフセット格納部(40)に格納されたコードオフセットOF1~OF(k-1)を参照する(S20)。これにより、RAM(23)内のプログラム格納部(41)に格納されているk番目の修正プログラムコードPRkの先頭アドレスが特定される。なお、k=1の場合には、最初の修正プログラムコードPR0は、前記プログラム格納部(41)の先頭に格納されているから、コードオフセットを参照しない。そして、修正プログラムコードPRkの先頭アドレスへのジャンプ命令を実行して(S21)、割込みプログラムを終了する。

【 0 0 1 7 】 図 5 は、CPU (21) が ROM (22) 内の基本プログラムを実行中に、RAM (23) の修正プログラムにより基本プログラムの修正を行なう動作を示している。まず、CPU (21) は、基本プログラムを先頭アドレスから順次実行していく。そして、最初の修正アドレス AD1 に到達すると、該修正アドレス AD1 による最初のアドレス割込みが発生し、ROM (22) 内に格納された上記アドレス割込みプログラム (図 4 参照) が実行され、実行中のプログラムは、RAM (23) 内のプログラム格納部 (41) の先頭アドレスにジャンプして、最初の修正プログラムコード PR1 が読み出されて実行される。そして、最初の修正プログラムコード PR1 の最後のアドレスに到達すると、最後のアドレスに格納されている最初の戻りアドレス RA1 へのジャンプ命令が実行され、実行中のプログラムは、ROM (22) 内の基本プログラムの最初の戻りアドレス RA1 にジャンプし、基本プログラムに戻って実行される。

【 0 0 1 8 】 そして、2 番目の修正アドレス AD2 に到達すると、該修正アドレス AD2 によるアドレス割込みが発生し、ROM (22) 内に格納された上記アドレス割込みプログラムが実行され、RAM (23) 内のオフセット格納部 (40) に格納された最初のオフセットアドレス OF1 を参照して、実行中のプログラムは、RAM (23) 内のプログラム格納部 (41) に格納された 2 番目の修正プログラムコード PR2 の先頭アドレスにジャンプして、該修正プログラムコード PR2 が読み出されて実行される。そして、2 番目の修正プログラムコード PR2 の最後のアドレスに到達すると、最後のアドレスに格納されている 2 番目の戻りアドレス RA2 へのジャンプ命令が実行され、実行中のプログラムは、ROM (22) 内の基本プログラムの 2 番目の戻りアドレス RA2 にジャンプし、基本プログラムに戻って、以下最後まで実行される。これにより、基本プログラムは、最初の修正アドレス AD1 と最初の戻りアドレス RA1 の間の部分が最初の修正プログラムコード PR1 に置き換えられ、2 番目の修正アドレス AD2 と 2 番目の戻りアドレス RA2 の間の部分が 2 番目の修正プログラムコード PR2 に置き換えられて実行される。

【 0 0 1 9 】 従って、本実施形態における基本プログラムの修正方法であれば、基本プログラムを修正する新たな装置がマイコン (20) 内に配備する必要は無いので、マイコン (20) を大型化することは無い。また、修正プログラムとその関連データは、ディスクプレーヤ (10) の作動に必要なパラメータデータを記憶する不揮発性メモリ (15) の余り容量に記憶されるから、修正プログラムとその関連データを記憶する新たな記憶装置を配備する必要は無いので、ディスクプレーヤ (10) を大型化することは無い。また、修正プログラムは、基本プログラム中の修正されるべき一部分に対応し、RAM (23) に転送されるデータは、修正プログラムとオフセットコードの少量のデ

ータであるから、RAM の利用効率をさほど低下させることは無い。また、基本プログラムの修正をアドレス割込み処理により行なうから、CPU (21) が常に修正プログラムを参照する必要は無く、従って、マイコン (20) の処理能力をさほど低下させることは無い。

【 0 0 2 0 】 また、不揮発性メモリ (15) には、修正プログラム格納部 (30) の先頭から修正プログラムとその関連データが順次記憶されており、修正プログラムとその関連データの内、修正プログラムの格納の有無を示す識別コード ID が最初に格納されているから、不揮発性メモリ (15) から RAM (23) への修正プログラムを転送する転送プログラム (図 3 参照) において、j 番目 (j は 1 以上の整数である。) の識別コード IDj により、j 番目の修正プログラムが格納されていないことが分かれば、j 番目以降の修正プログラムも格納されていないことが分かって、直ちに転送プログラムを終了でき、プログラムの実行動作に無駄が無い。

【 0 0 2 1 】 基本データの修正方法

次に、基本データのうちサーボ特性を修正する方法について説明する。ディスクプレーヤ (10) は、記録ディスクに記録されたデータ列のラインに読取りヘッドを正確且つ所定速度でトレースしてデータ列を読みとるため、各種のサーボモータおよびサーボ回路が配備されている。サーボモータおよびサーボ回路の制御方式には、アナログ方式とデジタル方式があり、デジタル方式の場合には、そのサーボ特性は、パラメータデータとしてマイコン (20) 内に記憶される。このパラメータデータのうち、製品個々によって異なるパラメータデータは、不揮発性メモリ (15) に記憶され、製品共通のパラメータデータは、ROM (22) に基本データとして記憶される。従って、ROM (22) に記憶された基本データを修正できない問題点があった。

【 0 0 2 2 】 図 6 は、不揮発性メモリ (15) に記憶されたサーボ特性に関する修正データを示している。修正データは、不揮発性メモリ (15) の修正データ格納部 (31) に所定の順番で記憶されており、図示の場合では、修正データが存在するか否かを示す識別コード、回転サーボ用の回転速度ゲイン、トラッキングサーボ用のトラッキングゲイン、フォーカスサーボ用のフォーカスゲイン、サーボ特性を決定するデジタルフィルタのフィルタ係数が格納されている。通常、デジタルフィルタには、複数のフィルタ係数が使用されるから、本実施形態では、格納されているフィルタ係数の個数と、修正すべきフィルタ係数毎に、フィルタ係数を特定する係数アドレスとその係数データとが格納されている。

【 0 0 2 3 】 前記パラメータデータは、システム起動時に RAM (23) 内の所定位置に転送しておき、記録再生時に RAM (23) から読み出して利用される。図 7 は、CPU (21) が、不揮発性メモリ (15) および ROM (22) から RAM (23) にパラメータデータを転送する転送プログラム

を示すフローチャートである。この転送プログラムは、基本プログラムに含まれている。まず、ROM (22) および不揮発性メモリ (15) から元のパラメータデータを読み出して RAM (23) 上の所定の格納位置に転送する (S 30)。次に、不揮発性メモリ (15) の修正データ格納部 (31) から識別コードを読み出して、修正データが格納されているか否かを判断する (S 31)。格納されていない場合には、この転送プログラムを終了する。格納されている場合には、各修正データを読み出して、RAM (23) 上の対応する格納位置に転送して元のデータを上書きし (S 32)、この転送プログラムを終了する。

【0024】従って、記録再生時には、修正されたパラメータデータが RAM (23) から読み出されて利用される。すなわち、本実施形態では、ROM (22) に記憶された基本プログラムを修正できると共に、基本データをも修正できる。

【0025】修正プログラムおよび修正データの書込方法

次に、上記修正プログラムとその関連データと修正データ (以下、「修正プログラム等」と呼ぶ) を不揮発性メモリ (15) に書き込む方法について図 8 乃至図 10 に沿って説明する。不揮発性メモリ (15) に書き込むべき修正プログラム等は、治具 (60) に配備された記憶装置 (61) に予め記憶されており、修正プログラム等を不揮発性メモリ (15) に書き込む際には、図 8 に示すように、マイコン (20) と不揮発性メモリ (15) を接続する通信バス (16) に治具 (60) が接続される。通信バス (16) には、任意の方式のバスが利用されるが、本実施形態では、I²C バス等のシリアルバスが使用される。治具 (60) の記憶装置 (61) と不揮発性メモリ (15) には、それぞれの装置を区別するため装置アドレスが割り振られており、図示の場合では、不揮発性メモリ (15) の装置アドレスが 0 であり、記憶装置 (61) の装置アドレスが 1 である。

【0026】図 9 には、治具 (60) の記憶装置 (61) に記憶され、不揮発性メモリ (15) に書き込まれる修正プログラム等が示されている。治具 (60) の記憶装置 (61) には、先頭から、修正プログラムとその関連データの有無を示す識別コード、不揮発性メモリ (15) における修正プログラム格納部 (30) の先頭アドレスを示す転送先アドレス、修正プログラムとその関連データのバイト数を示す転送バイト数、及び、修正プログラムとその関連データのコードが格納され、続いて、修正データの有無を示す識別コード、不揮発性メモリ (15) における修正データ格納部 (31) の先頭アドレスを示す転送先アドレス、修正データのバイト数を示す転送バイト数、及び、修正データのコードが格納されている。

【0027】図 10 は、マイコン (20) 内の CPU (21) の制御により、修正プログラム等が、治具 (60) から読み出されて、不揮発性メモリ (15) に書き込まれる動作を示すフローチャートである。この書込プログラムは、基本プ

ログラムに含まれており、製品の出荷前に実行される。なお、同時に、製品個々によって異なる上記パラメータデータを不揮発性メモリ (15) に書き込む方が、工程を増やすことが無いので望ましい。まず、装置アドレス 1 の呼び出し命令を送信して、装置アドレス 1 のデバイス (治具 (60) の記憶装置 (61)) が接続されているか否かを確認する (S 40)。次に、識別コードを読み出して、修正プログラム等が格納されているか否かを判断する (S 41)。格納されていない場合には、この書込プログラムを終了する。格納されている場合には、不揮発性メモリ (15) に転送すべき転送先アドレスと、転送バイト数を読み出す (S 42)。次に、治具 (60) からマイコン (20) 内の RAM (23) に前記バイト数の修正プログラム等を転送し (S 43)、RAM (23) から不揮発性メモリ (15) 内の書き込むべき格納部に、修正プログラム等を該格納部の先頭アドレスから順次書き込み (S 44)、ステップ S 41 に戻る。

【0028】前記書込プログラムの具体的な動作を図 9 に沿って説明する。まず、マイコン (20) と治具 (60) の接続確認を行なった後に、修正プログラムとその関連データの識別コードを読み出す。該識別コードは、修正プログラムとその関連データが格納されていることを示しているから、不揮発性メモリ (15) における修正プログラム格納部 (30) の先頭アドレスと、修正プログラムとその関連データのバイト数を読み出し、修正プログラムとその関連データのコードを RAM (23) に転送する。次に、RAM (23) 上の修正プログラムとその関連データのコードを修正プログラム格納部 (30) の先頭アドレスから順次書き込む。次に、修正データの識別コードを読み出す。該識別コードは、修正データが格納されていることを示しているから、不揮発性メモリ (15) における修正データ格納部 (31) の先頭アドレスと、修正データ等のバイト数を読み出し、修正データのコードを RAM (23) に転送する。次に、RAM (23) 上の修正データのコードを修正データ格納部 (31) の先頭アドレスから順次書き込み、この書込プログラムは終了する。これにより、不揮発性メモリ (15) の修正プログラム格納部 (30) に修正プログラムとその関連データが格納され、修正データ格納部 (31) に修正データが格納される。

【0029】本実施形態では、マイコン (20) と不揮発性メモリ (15) を接続する通信バス (16) がシリアルバスであるので、バス線の本数が数本程度である。従って、治具 (60) と通信バス (16) の接続は、治具 (60) からの接続端子を各バス線に接触させればよく、専用のコネクタをディ、スクレーヤ (10) に配備する必要は無い。また、本実施形態では、治具 (60) から不揮発性メモリ (15) への修正プログラム等の転送が、マイコン (20) の制御により行なわれるから、治具 (60) にデータ転送のための制御手段を配備する必要は無い。従って、記憶装置 (61) のみで治具 (60) を構成できる。

13

【0030】上記実施形態の説明は、本発明を説明するためのものであって、特許請求の範囲に記載の発明を限定し、或いは範囲を減縮する様に解すべきではない。又、本発明の各部構成は上記実施形態に限らず、特許請求の範囲に記載の技術的範囲内で種々の変形が可能であることは勿論である。

【図面の簡単な説明】

【図1】本発明の実施形態であるディスクプレーヤ(10)の構成を示すブロック図である。

【図2】不揮発性メモリに記憶され、RAMに転送される修正プログラムとその関連データを示すブロック図である。

【図3】CPUが修正プログラムとその関連データを不揮発性メモリからRAM等に転送するプログラムを示すフローチャートである。

【図4】アドレス割込みが発生したときに実行されるアドレス割込プログラムを示すフローチャートである。

【図5】CPUが、ROM内の基本プログラムを実行中に、RAMの修正プログラムにより基本プログラムの修正を行なう動作を示すブロック図である。

【図6】不揮発性メモリに記憶されたサーボ特性に関する修正データを示すブロック図である。

【図7】CPUが、不揮発性メモリおよびROMからR

14

AMにパラメータデータを転送する転送プログラムを示すフローチャートである。

【図8】ディスクプレーヤに治具を接続した状態を示すブロック図である。

【図9】治具の記憶装置に記憶され、不揮発性メモリに書き込まれる修正プログラム等を示すブロック図である。

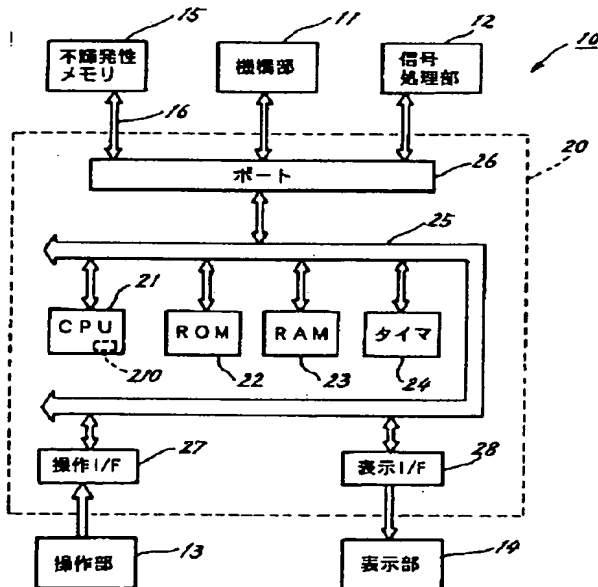
【図10】マイコン内のCPUの制御により、修正プログラム等が、治具から読み出されて不揮発性メモリに書き込まれる動作を示すフローチャートである。

【図11】基本プログラムを修正プログラムで修正できる従来のマイクロコンピュータを示すブロック図である。

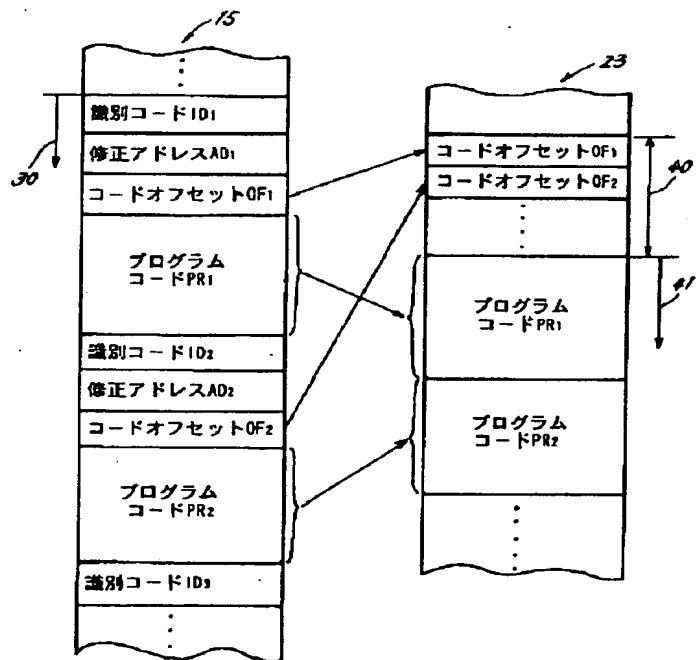
【符号の説明】

- (15) 不揮発性メモリ
- (20) マイクロコンピュータ
- (21) CPU
- (22) ROM
- (23) RAM
- 20 (60) 治具
- (61) 記憶装置
- (210) 割込みアドレス格納部

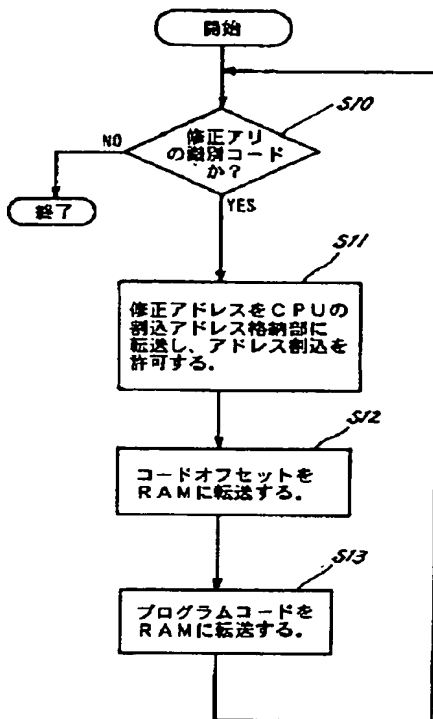
【図1】



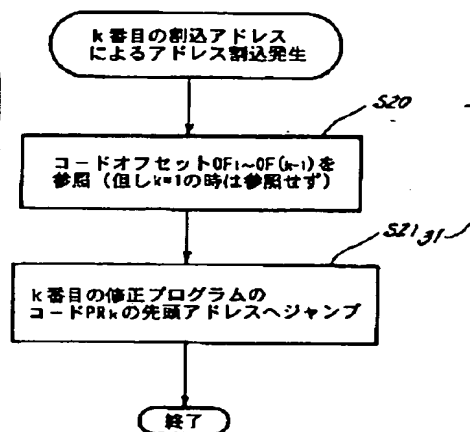
【図2】



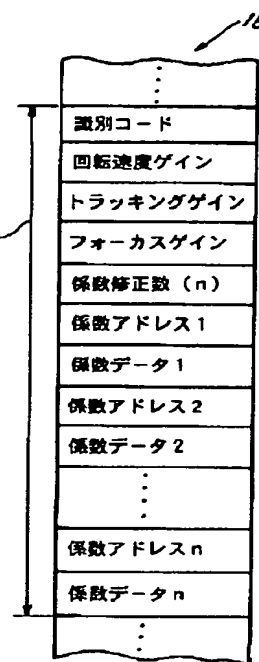
【 図 3 】



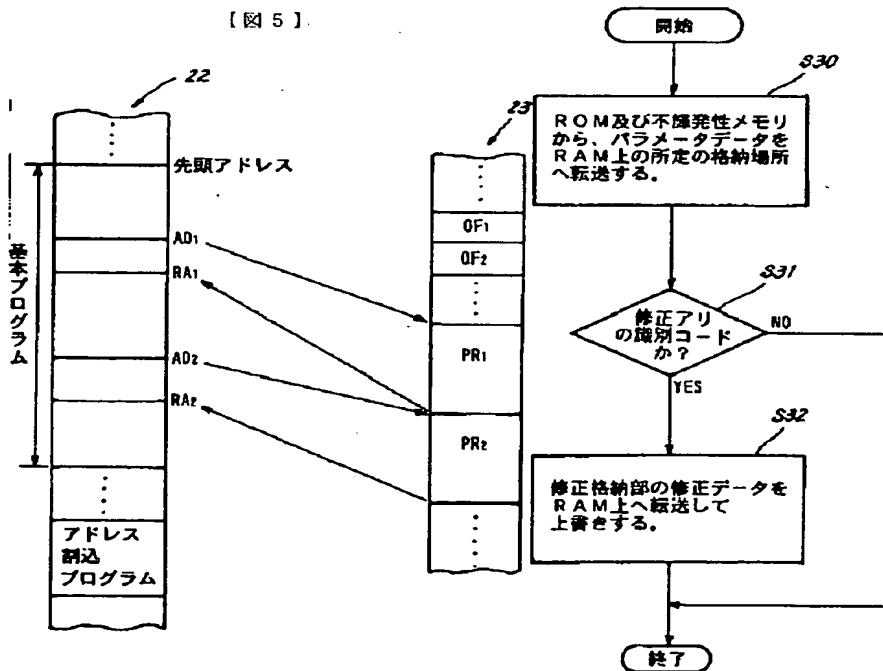
【 図 4 】



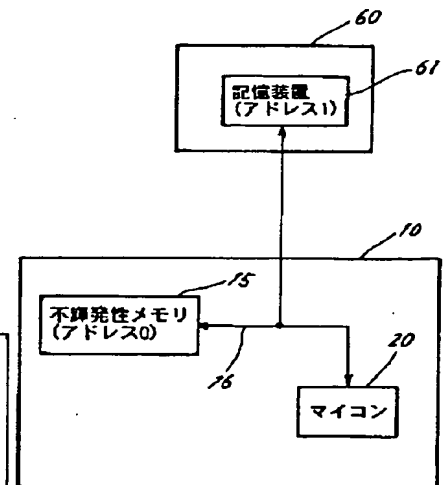
【 図 6 】



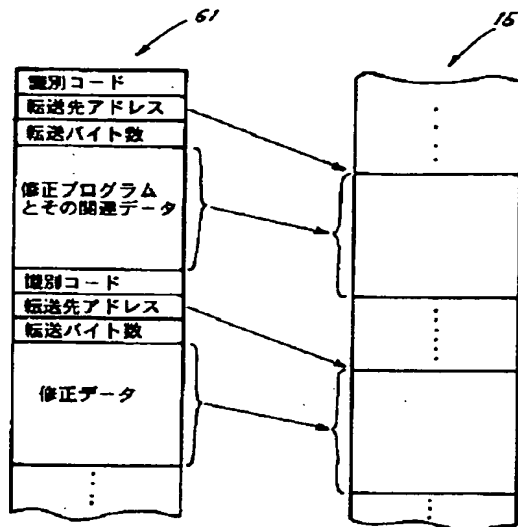
【 図 5 】



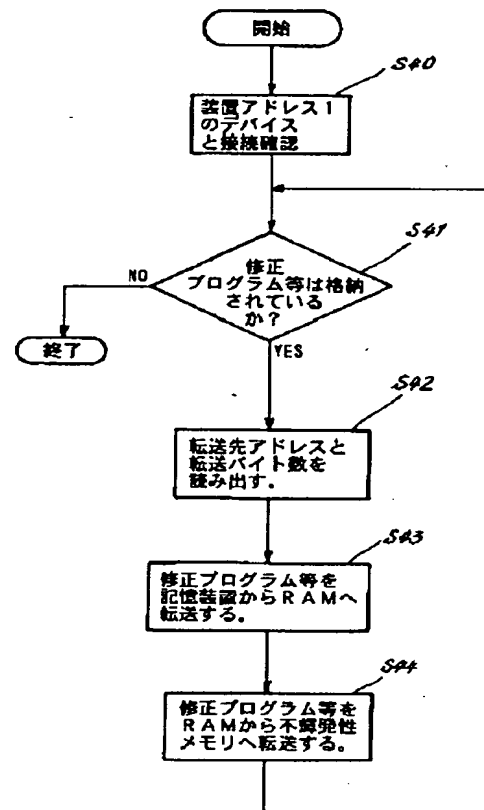
【 図 8 】



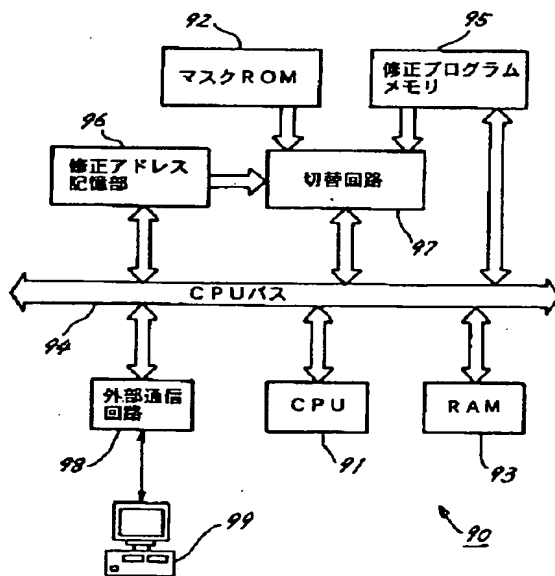
【図 9】



【図 10】



【図 11】



フロントページの続き

- (56)参考文献 特開 平 4 - 9 0 0 3 2 (J P , A)
特開 平 8 - 3 3 1 7 5 (J P , A)
特開 平 8 - 1 8 2 1 5 3 (J P , A)
特開 平 5 - 2 0 4 6 3 0 (J P , A)
特開 平 3 - 1 0 5 5 2 8 (J P , A)
特開 平 4 - 2 3 0 5 2 5 (J P , A)
特開 平 4 - 1 0 7 6 3 0 (J P , A)
特開 平 3 - 2 8 6 2 4 0 (J P , A)
特開 平 8 - 1 6 6 8 7 7 (J P , A)
特開 平 7 - 4 9 8 5 3 (J P , A)
特開 平 6 - 3 1 8 2 6 1 (J P , A)

(58)調査した分野(Int.Cl.⁶, D B 名)

G06F 9/06

G06F 11/28